

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/768

H01L 21/283 H01L 21/324

H01L 21/44



## [12] 发明专利说明书

[21] ZL 专利号 99110621.0

[45] 授权公告日 2004 年 7 月 7 日

[11] 授权公告号 CN 1156903C

[22] 申请日 1999.7.20 [21] 申请号 99110621.0

[30] 优先权

[32] 1998.7.21 [33] US [31] 09/121,068

[71] 专利权人 摩托罗拉公司

地址 美国伊利诺斯

[72] 发明人 格利高里·布莱克曼

拉纳斯·文卡拉曼

马修·托马斯·赫里克

辛迪·R·辛普森

罗伯特·W·费阿达里斯

蒂安·L·登宁 阿杰·吉恩

克里斯蒂纳·卡帕瑟

审查员 骆素芳

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

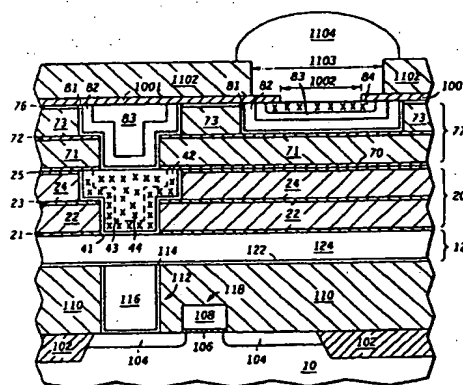
代理人 王永刚

权利要求书 1 页 说明书 10 页 附图 6 页

[54] 发明名称 半导体器件的制作方法

[57] 摘要

在衬底(10)上制作互连(60)。在一个实施例中，在衬底(10)上淀积粘合/势垒层(81)、铜合金引晶层(42)和铜膜(43)，并对衬底(10)进行退火。在一个变通实施例中，在衬底上淀积铜膜，并对铜膜进行退火。在又一个实施例中，在衬底(10)上淀积粘合/势垒层(81)、引晶层(82)、导电膜(83)和铜合金帽膜(84)，以形成互连(92)。淀积和退火步骤可以在普通的工艺平台上执行。



ISSN 1008-4274

知识产权出版社出版

FS 入力済

1. 一种半导体器件的制作方法，其特征是：

在衬底上制作势垒层；

在势垒层上制作引晶层，其中的引晶层包括铜合金的连续膜；

在连续膜引晶层上制作导电膜；以及

对衬底进行退火，其中退火促进合金成分从连续膜引晶层向导电膜的表面和界面迁移，以改善导电膜的电阻特性并促进导电膜对下层的势垒层的粘附。

2. 根据权利要求1的半导体器件的制作方法，其进一步特征是：

在已退火的衬底上制作第二势垒层，其中已退火的衬底还具有覆盖已退火的衬底的介质膜中的第一窗口，且介质膜具有第一顶表面；

在第二势垒层上制作第二连续膜引晶层，所述第二连续膜引晶层包含导电合金；

在第二连续膜引晶层上制作第二导电膜，所述第二导电膜包括含铜的导电膜；

在导电膜上制作帽膜，其中的帽膜包括铜合金；以及

清除部分势垒层、含铜的导电膜和铜合金帽膜，以便确定第一镶嵌结构，所述第一镶嵌结构包括第一窗口内的第二势垒层、第二含铜导电膜和铜合金帽膜的剩余部分，其中的第一镶嵌结构具有第二顶表面，且其中的第二顶表面与第一顶表面共面，并包括部分铜合金帽膜，其中所述铜合金帽膜改善了下层的钝化膜对第一镶嵌结构的第二顶表面区域中的键合焊点的粘附性。

3. 权利要求1或2的方法，其中的铜合金包括选自镁、铟、铬、钇、钛、铁、碳、铌、锆和锡构成的组中的元素。

4. 权利要求1或2的方法，其中的导电膜包括铜。

5. 根据权利要求1的方法，其中制作所述导电膜包括制作主要含铜的膜，并且其中制作主要含铜的膜和对主要含铜的膜进行的退火在同一个工艺步骤中发生。

引晶层、导电膜和铜合金帽膜。此实施例中的退火被可选地执行。可以在普通工艺平台上执行淀积和退火步骤。

图 1 示出了已局部处理来确定第一互连层的半导体器件。此半导体器件包含半导体器件衬底 10、场隔离区 102、晶体管 118、导电塞 112 和介质层 110。晶体管 118 包括掺杂区 104、栅介质膜 106 和栅电极 108。如本说明书所用的那样，半导体器件衬底 10 包含单晶半导体晶片、绝缘衬底上半导体、或任何其它用来制作半导体器件的衬底。

在一个实施例中，栅电极 108 是多晶硅层。作为变通，栅电极 108 可以是诸如钨或钼的金属层、诸如氮化钛、氮化钨的金属氮化物层和它们的组合。此外，栅电极 108 可以是多晶硅膜上的包含诸如硅化钨、硅化钛和硅化钴之类的金属硅化物的多硅化物 (polycide) 膜。

在制作栅电极 108 之后，在衬底 10 上制作第一层间介质 (ILD) 层 110，并进行图形化以制作接触窗口。在一个实施例中，第一 ILD 层 110 是用四乙氧基硅烷 (TEOS) 作为源气体制作的等离子体淀积的氧化物膜。作为变通，第一 ILD 层 110 可以是氮化硅膜、磷硅酸盐玻璃 (PSG) 膜、硼磷硅酸盐玻璃 (BPSG) 膜、氮氧化硅膜、聚酰亚胺膜、低 k 介质或它们的组合。

在图形化之后，在介质层 110 中制作接触窗口。接触窗口包含用诸如钛/氮化钛 (Ti/TiN) 和钽/氮化钽 (Ta/TaN) 之类的粘合/势垒层 114 以及诸如钨的导电填充材料 116 形成的导电塞 112。在淀积之后，用常规腐蚀或化学机械抛光技术清除部分导电填充材料 116 和下方的粘合/势垒层 114，以形成导电塞 112。作为变通，可以用掺杂的硅作为接触填充材料来制作具有或不具有粘合/势垒层 114 的导电塞 112。

在制作导电塞 112 之后，在导电塞 112 和介质层 110 上制作第二粘合/势垒层 122 和第二导电膜 124。在一个实施例中，用 Ta/TaN 制作第二粘合/势垒层 122，并用铜、铝之类制作导电膜 124。第二粘合/势垒层 122 和第二导电膜 124 的组合构成第一互连层 12。直到工艺的这一时刻，都是使用常规方法来制作图 1 所示的器件。

然后如图 2 所示，在第一互连层 12 上制作钝化层 21。在一个实施例

中, 钝化层 21 是等离子体淀积的氮化硅膜。作为变通, 钝化层 21 可以是等离子体淀积的氮氧化硅膜、氮化硼膜之类。钝化层 21 被用来减小互连层 12 中的金属原子扩散进入随后淀积在互连层 12 上的介质膜中的可能性。例如, 若互连层 12 包含铜, 则钝化层 21 用作铜的扩散势垒。

图 2 还示出了制作在粘合/势垒层 122 上的层间介质层 (ILD) 20。在一个实施例中, 层间介质层 20 包含介质膜 22、中间腐蚀停止膜 23、介质膜 24 和硬掩模膜 25。

介质膜 22 可以用 TEOS 作为源气体制作的等离子体淀积的氧化物膜。作为变通, 介质膜 22 可以是 PSG 膜、BPSG 膜、SOG 膜、低介电常数 (低 k) 绝缘体之类。为了本说明书的目的, 低 k 绝缘体是介电常数低于大约 3.5 的材料。中间腐蚀停止膜 23 可以是等离子体淀积的氮氧化硅膜。作为变通, 中间腐蚀停止膜 23 可以是等离子体淀积的氮化硅膜、氮化硼膜之类。介质膜 24 可以用 TEOS 作为源气体制作的等离子体淀积的氧化物膜。作为变通, 介质膜 24 可以是 PSG 膜、BPSG 膜、SOG 膜、低介电常数 (低 k) 绝缘体之类。层间介质膜 20 不一定要用不同的介质材料制作。例如, 可以用诸如等离子体淀积的氧化物、PSG、BPSG、SOG、聚酰亚胺、低介质绝缘体之类的单一介质材料来制作层间介质膜 20。介质膜 24 上是硬掩模膜 25。在一个实施例中, 硬掩模膜 25 是等离子体淀积的氮氧化硅膜。作为变通, 硬掩模膜 25 可以是等离子体淀积的氮化硅膜、氮化硼膜之类。

在图 3 中, 部分层间介质层 20 和钝化层 21 被图形化以制作双重镶嵌窗口 30。如图 3 所示, 双重镶嵌窗口 30 包含互连部分 31 和通孔部分 32, 其中通孔部分 32 使部分导电互连 12 暴露。采用与先通孔后第一沟槽 (VFTL) 工艺相符的图形化工艺, 在介质膜 24 被腐蚀以确定腐蚀停止膜 23 中的通孔窗口时, 硬掩模膜 25 保护介质膜 24, 而在制作介质膜 24 中的双重镶嵌窗口的互连部分时, 腐蚀停止膜 23 保护介质膜 22。

在图 4 中, 粘合/势垒层 41 被制作在双重镶嵌窗口 30 内。在一个实施例中, 粘合/势垒层是氮化钽膜。作为变通, 粘合/势垒层 41 可以是氮化钛膜、氮化钨膜、氮化钽硅膜、钽膜、钛钨膜之类。通常用常规溅射方法来

淀积粘合/势垒层 41。也可以用平行溅射 (collimated sputtering)、离化溅射或化学汽相淀积工艺来制作粘合/势垒层 41。

然后,在粘合/势垒层 41 上制作引晶层 42 和导电膜 43。在一个实施例中,引晶层 42 包含铜和镁。作为变通,可以使用包括铜、锡、铬、锌、碳、钴、钨、钛、铁、铌、镁之类的其它合金材料或合金材料的组合。在变通实施例中,引晶层 42 可以主要由诸如铜、镍、锡之类的单一元素组成。

制作引晶层 42 的各种方法互不相同。在一个实施例中,用物理汽相淀积 (PVD) 工艺,以包含大约 2% 原子比的镁和大约 98% 原子比的铜的溅射靶,来制作引晶层 42。也可以用包括离化 PVD、长投射 (long throw) PVD、或平行 PVD 的其它 PVD 工艺来淀积引晶层 42,或者也可以用化学汽相淀积 (CVD) 工艺或诸如无电镀或电镀之类的镀敷工艺来淀积。引晶层 42 淀积成粘合/势垒层 41 上的连续膜,且制作在双重镶嵌窗口 30 中。在一个实施例中,引晶层 42 的淀积厚度约为 150-250nm。但本技术领域的普通熟练人员了解,为了能够恰当地镀敷导电膜,引晶层必须制成足够厚,而为了防止引晶层 42 在双重镶嵌窗口 30 的角边上过量生长和在双重镶嵌互连窗口 (30) 的底部随后形成空洞,引晶层又必须足够薄。

导电膜 43 制作在引晶层 42 上。导电膜 43 具有足以完全填充双重镶嵌窗口 30 的厚度。在一个实施例中,导电膜是用常规电镀技术淀积的铜。铜被电镀到厚度约为 600nm,这是双重镶嵌窗口沟槽部分厚度的大约 1.5 倍。作为变通,可以用包括无电镀、CVD、PVD、或 CVD 加 PVD 的组合的其它淀积工艺来制作导电膜 43。

图 5 示出了在箭头 45 所示的退火步骤中的图 4 的结构。退火步骤使合金组分 44 从引晶层扩散进入导电膜 43。合金组分 44 从引晶层 42 到导电膜 43 的扩散,导致合金组分 44 在整个引晶层 42 和导电膜 43 中的重新分布。根据所用的合金材料和退火条件,合金组分 44 的重新分布可以在整个引晶层 42 和导电膜 43 中是均匀的、在引晶层 42 中较高、或聚集于表面处和引晶层 42 与导电膜 43 的界面处。

由于退火以及合金组分 44 随后进入导电膜 43,就潜在地出现了益处。这包括导电膜电阻特性及其粘附性的改善。退火改变了引晶层 42 和导电膜

43 的表面组成、形貌和内部微结构。保持在 300℃ 以上的温度促使合金组分 44 迁移到表面和导电膜 43 的界面。当暴露于氧原子时,就形成合金-氧化物膜。此合金-氧化物膜促进了导电膜 43 和相邻的膜包括以后淀积的钝化层之间的粘附性。根据退火被用来扩散合金组分 44 的实施例,退火是大约 300-450℃ 的炉子中执行 20-30 分钟。

为了改善互连的电迁移可靠性,也可以在不合合金的导电膜上执行退火。在用主要含有单一材料的势垒层和导电膜制作导电互连的实施例中,可以在大约 200℃ 下对衬底退火大约 5 分钟。作为改进产出的一种方法,也可以在 250-400℃ 范围内对衬底退火至少 1 分钟。为了尽可能减少暴露表面被氧化,可以在氮气气氛、减压气氛或真空气氛中执行退火。在此实施例中,主要包含单一材料的导电膜的例子包括具有电镀铜膜的无电镀的铜引晶层、CVD 淀积的铜膜之类。

正如用电阻和电迁移数据测得的参数测试表明,由于退火步骤而能够得到改善。薄膜电阻的降低、薄膜整个电阻分布的改善、以及有关电迁移性能的改善,被归咎于退火过程中铜膜的晶粒生长和致密化。在退火之前,铜的晶粒结构和晶粒取向在整个膜中是变化的。涉及到高度可变的晶粒结构和取向的不同的失效,都有助于引起电迁移失效。借助于对铜进行退火,膜中的晶粒结构分布更为均匀,且涉及到这些晶粒结构的电迁移的变化具有相应的更紧密的分布。

借助于在淀积导电膜之前对引晶层进行退火,可以相应地获得由于引晶层和导电膜退火而得到的益处。这可以用在大约 200-400℃ 范围的温度下淀积引晶层的方法来原位执行。也可以在淀积导电层之前,用首先淀积引晶层,然后在大约 200-400℃ 范围的温度下对其进行大约 1-5 分钟的退火的方法来执行。

根据本发明的实施例,可以用快速热退火(RTA)、热板、加热的吸盘或炉子来执行退火步骤。可以将退火站组合到工艺流程中作为整个设备的一部分,在这种情况下,引晶层淀积步骤、导电膜淀积步骤、施涂-清洗-干燥(SRD)、和退火步骤、或这些步骤的任何组合,都可以在单一的工艺平台上执行。同样,这些步骤可以当作单一晶片或批量晶片加工操作来

执行。

在图 6 中, 用常规化学机械抛光工艺清除部分导电膜 43、引晶层 42 和粘合/势垒层 41, 以便在互连窗口 30 中制作互连 60。作为变通, 可以用诸如离子研磨、反应离子刻蚀和等离子体刻蚀之类的常规腐蚀技术, 或用腐蚀与抛光技术二者的组合, 来制作互连 60。

在合金组分 44 被从引晶层 42 扩散进入导电膜 43 的实施例中, 也可以在制作互连之后执行退火。在一个变通实施例中, 在清除了部分导电膜 43、引晶层 42 和粘合/势垒层 41 以形成互连之后, 在大约 300-450℃ 的温度下, 在炉子中对衬底进行大约 20-30 分钟的退火。为了减小介质膜 24 和导电互连被氧化的可能性, 在退火过程中可以使用诸如氢、氨、氮之类的较惰性的气氛。在退火过程中, 合金组分从引晶层 42 扩散进入导电膜 43。也可以用前面所述的快速热退火 (RTA)、热板退火或炉子退火工艺来执行退火。这一退火步骤与前面所述退火的不同之处在于它是在制作导电互连的步骤之后执行的。但最终产品是与前面所述的互连 60 提供基本上相同的益处的导电互连。

图 7 进一步示出了半导体器件, 现在包括钝化层 70、层间介质层 (ILD) 77、和硬掩模层 76。ILD 层 77 进一步包括下介质膜 71、中间腐蚀停止膜 72 和上介质膜 73。钝化层 70、ILD 层 77 和硬掩模层 76 是用相似于用来制作钝化层 21、ILD 层 20 和硬掩模膜 25 的方法制作的。在硬掩模层 76、ILD 层 77 和钝化层 70 中已经制作了双重镶嵌窗口 74, 使部分互连 60 暴露出来。双重镶嵌窗口 74 是用相似于前面所述制作双重镶嵌窗口 30 的技术制作的。

根据本发明的一个实施例, 在制作双重镶嵌结构 74 的过程中, 也制作了单镶嵌窗口 75。在一个实施例中, 单镶嵌窗口 75 被用来形成半导体器件的键合焊点。在确定单镶嵌窗口 75 的腐蚀过程中, 用来确定双重镶嵌窗口 74 的互连沟槽部分的腐蚀停止膜 72 也防止了部分下介质膜 71 被清除。

图 8 进一步示出了半导体器件衬底, 现在包括粘合/势垒层 81、引晶层 82、完全填充双重镶嵌结构和部分填充单镶嵌结构的导电膜 83、和导电合金帽膜 84。在一个实施例中, 粘合/势垒层 81 是氮化钽膜, 并制作在硬掩

模层 76 上和前面图 7 确定的双重镶嵌窗口 74 以及单镶嵌窗口 75 中。粘合/势垒层 81 也可以是氮化钨膜、氮化钽硅膜、钽膜、钽钨膜之类。可以用常规溅射或化学汽相淀积技术来淀积粘合/势垒层 81。

在粘合/势垒层 81 上的是引晶层 82。在此特定的实施例中，引晶层 82 是铜引晶层，并且是用 PVD 工艺淀积到厚度约为 150-250nm。也可以用其它常规淀积方法将此引晶层 82 淀积成导电合金。合金材料的例子包括铜、锡、铬、锌、锆、钼、碳、钛、铁、铌之类。

在引晶层 82 上的是导电膜 83。通常用电镀工艺来制作导电膜 83。在此特定实施例中，导电膜 83 是电镀成厚度约为 300-500nm 的铜膜。也可以用 PVD 或 CVD 工艺来制作导电膜 83，并可以用诸如铝或金之类的其它导电材料来制作。

根据本发明的实施例，导电膜的厚度足以填充双重镶嵌窗口 74，但不完全填充单镶嵌窗口 75。

参照图 8，导电膜 83 的总厚度的一部分位于介质膜 73 最上层以下。未按比例绘出的单镶嵌窗口的横向尺寸明显地大于双重镶嵌窗口。例如，单镶嵌窗口的横向尺寸可以在 25-50 微米范围，而双重镶嵌窗口的尺寸小于大约 0.35 微米。单镶嵌窗口 75 由于如此之宽而只被局部地填充。

在导电膜 83 上的是导电合金帽膜 84。根据本发明的一个实施例，导电合金帽膜 84 是制作在导电膜 83 上的铜镁合金。用 PVD 工艺以含有大约 2.0% 原子比的镁和 98% 原子比的铜的溅射靶，来淀积导电合金帽膜 84。也可以用其它常规淀积技术以包括铜、锡、铬、锌、锆、钼、碳、钛、铁、铌之类的其它合金材料，来淀积导电合金帽膜 84。如图 8 所示。导电合金帽膜 84 完全填充介质膜 73 顶部以下的单镶嵌结构部分。铜合金帽膜 84 淀积成完全填充原先未被导电膜 83 填充的单镶嵌窗口部分。

也可以用前面所述的 PVD 工艺来制作铜合金帽膜 84，其中的工艺温度范围约为 300-450℃。更高的温度会在单镶嵌结构以及双重镶嵌结构中促使合金元素扩散进入导电膜 83，从而提供前面所述的电迁移和粘附性益处。为了得到相似的总体益处，在后续工艺步骤中，也可以对复合铜合金帽膜 84 和导电膜 83 进行退火。



在图9中,已经用常规化学机械抛光技术清除了部分导电合金帽膜84、导电膜83、引晶层82和粘合/势垒层81,以便制作双重镶嵌窗口74中的互连91和单镶嵌窗口75中的键合焊点92。也可以用诸如离子研磨、反应离子刻蚀和等离子体刻蚀之类的常规腐蚀技术,或用腐蚀与抛光技术的组合,来制作互连91和键合焊点92。

导电互连91包含导电粘合/势垒层81、引晶层82和导电膜83的剩余部分。键合焊点92包含导电粘合/势垒层81、引晶层82、导电膜83和导电合金帽膜84的剩余部分。

图10进一步示出了半导体器件,现在包括部分导电互连91上的额外钝化层1001、硬掩模层76和键合焊点92。在一个实施例中,钝化层1001包含10-20nm的等离子体增强氮化物(PEN)膜上的250-350nm的氮氧化硅膜。如图10所示,钝化层1001已经被腐蚀,以形成暴露部分键合焊点92的下窗口1002。用常规等离子体或湿法腐蚀工艺技术来腐蚀钝化膜。

图11进一步示出了半导体器件,现在包括钝化层1001上的聚酰亚胺膜1102。在一个实施例中,用常规的施涂工艺来制作聚酰亚胺膜,并淀积成厚度约为2.5-3.5微米。然后用常规工艺在聚酰亚胺膜中制作上窗口1103。根据本发明的实施例,如图11所示,上窗口1103大于下窗口1002。这些尺寸取决于半导体器件的设计与封装要求以及用来制作窗口的工艺和设备。部分钝化膜1001延伸到且覆盖键合焊点92中的部分导电合金帽膜84。然后在键合焊点92和部分钝化膜上制作导电互连凸块1104。导电凸块1104以后将提供从半导体器件到半导体封装件的连接。

导电合金帽膜84的存在,改善了钝化膜/键合焊点界面处钝化膜对键合焊点的粘附性。覆盖部分钝化膜1101的部分导电互连凸块1104,在钝化膜/键合焊点界面处更不容易剥层。因此,由于存在合金帽膜84而改善了管芯键合可靠性。这就改善了半导体器件的总的可靠性。

于是,根据本发明的实施例,显然至少已经提供了优越于现有技术的三个益处。这些益处包括改善了导电互连的电阻分布、改善了金属互连的电迁移性能、以及改善了互连对方相邻薄膜的粘附性。

在前面的说明书中,已经参照具体的实施例描述了本发明。但本技术

领域的一般熟练人员理解，能够作出各种修正和改变而不超越下列权利要求所列出的本发明的范围。因此，本说明书和附图被认为是说明性的而不是限制性的，且所有这些修正都被包括在本发明的范围之内。上面已经描述了关于具体实施例的益处、其它优点和问题的解决。但是，这些益处、优点、问题的解决、以及能够引起任何益处、优点、或解决发生或变得更为明显的因素，都不构成任何一个或全部权利要求的关键的、规定的或主要的特点或因素。

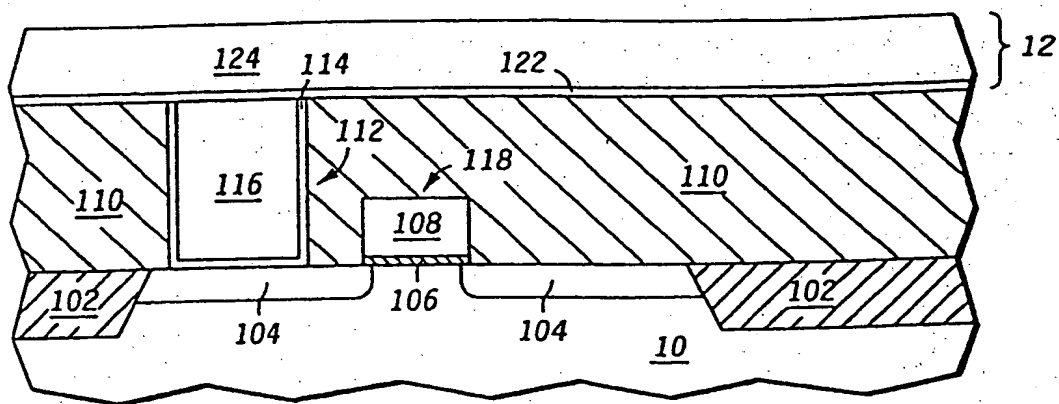


图 1

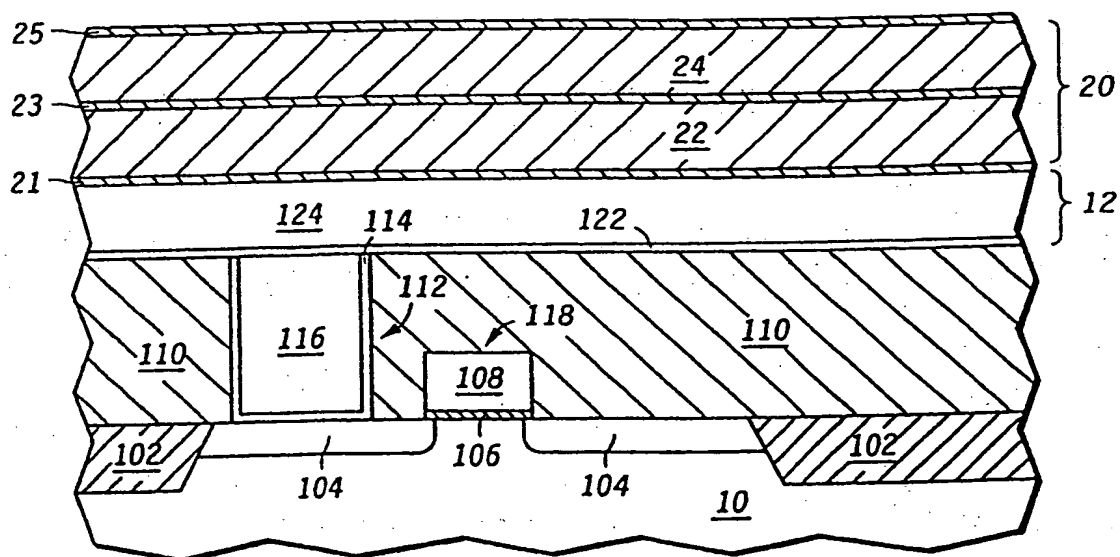


图 2

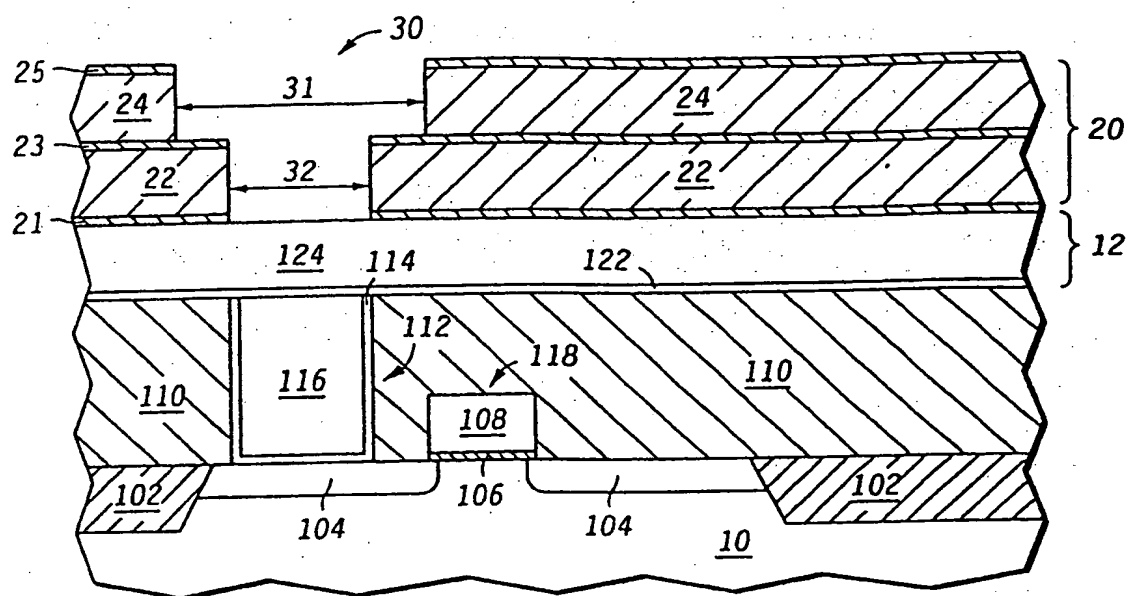


图3

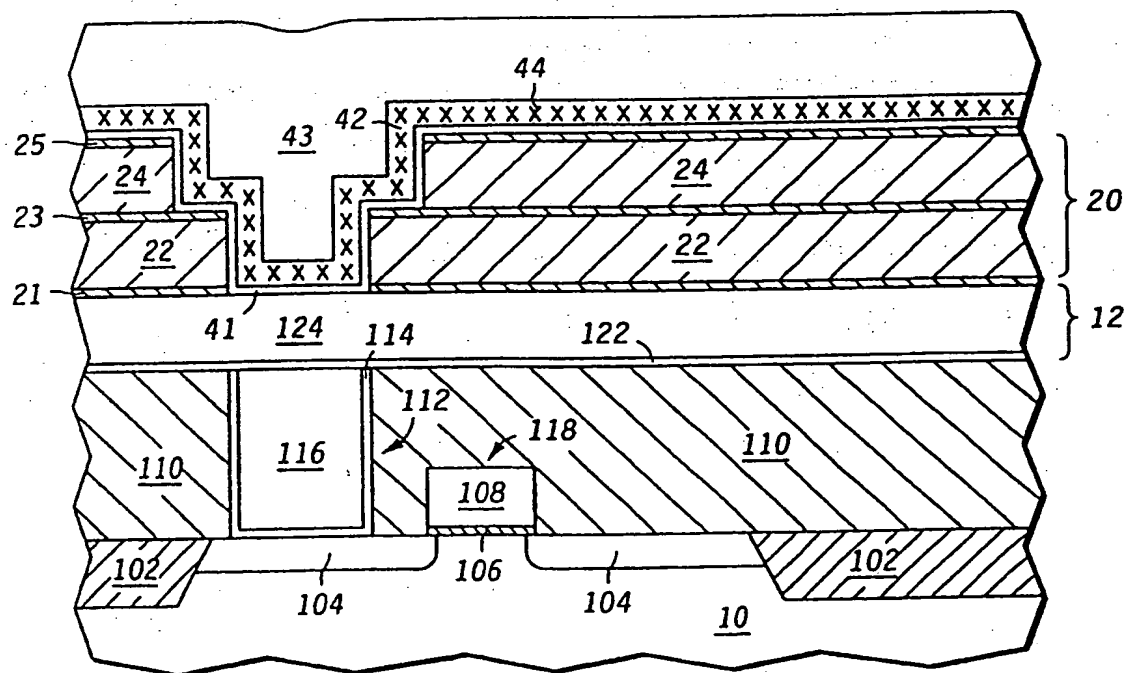


图4

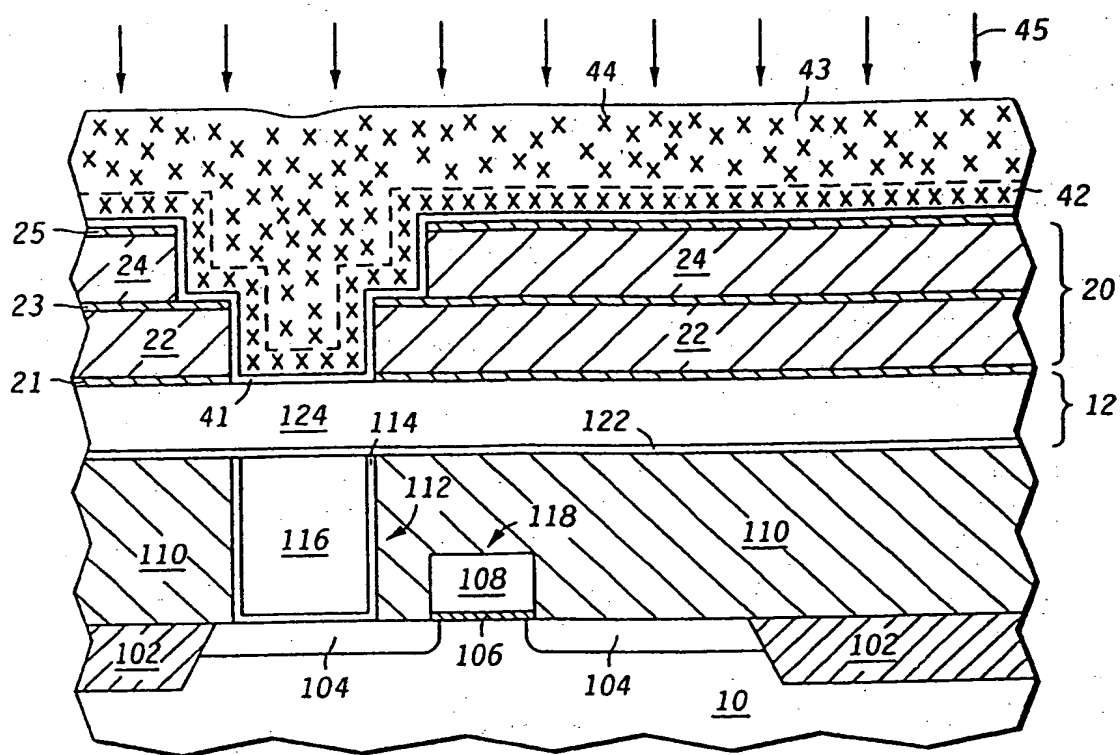


图5

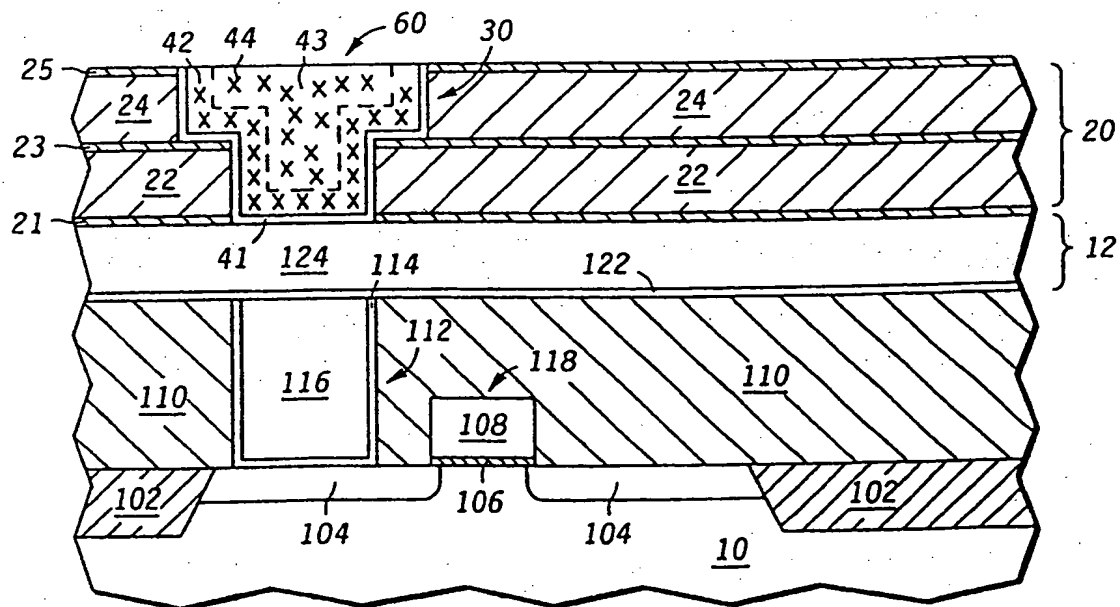


图6

